

C1 (1 punto)	C2 (1 punto)	C3 (1 punto)	C4 (1 punto)	C5 (1 punto)	P1 (2 puntos)	P2 (2 puntos)	P3 (2 puntos)	TOTAL

E.P.S.- UAM.- Arquitectura e Ingeniería de Computadores, Febrero 2003

Apellidos y Nombre:		
DNI :	Grupo mañana	Grupo tarde

ATENCION: Sólo se debe contestar a 4 de las 5 cuestiones. En el caso de contestar a las 5 sólo se considerarán las 4 primeras.

C1 (1 punto).- Tenemos el siguiente componente descrito en código VHDL:

```

library ieee;
use ieee.std_logic_1164.all;

entity entidad is
    port(
        pin : in std_logic;
        rst : in std_logic;
        clk : in std_logic;
        activo : out std_logic);
end entidad;

architecture examen of entidad is

    signal aux1, aux2 : std_logic;

begin

    proc : process(rst, clk)
    begin
        if(rst = '1') then
            aux1 <= '0';
            aux2 <= '0';
        elsif(clk'event and clk = '1') then
            aux1 <= pin;
            aux2 <= aux1;
        end if;
    end process;

    activo <= '1' when (aux1 = '1' and aux2 = '0')
        else '0';

end examen;

```

Conteste brevemente a las siguientes preguntas:

a) ¿Es correcta la lista de sensibilidad del proceso “proc”? . Indicar la razón

b) ¿Qué hace este componente?.

c) Dibuje el circuito que se corresponde con este código.

C2 (1 punto).- Se pide describir la arquitectura de un sistema de memoria virtual definido por las siguientes características:

1) Sistema de memoria virtual con paginación pura. 2) Memoria virtual de 64 Gbytes. Memoria Real 256 Mbytes. Tamaño de página de 4kbytes. 3) La MMU esta compuesta por un TLB completamente asociativo de 32 entradas y una tabla de descriptores en una memoria de correspondencia directa con 16 entradas. 4) La tabla de páginas está multipaginada en 3 niveles. Los campos para definir los dos niveles inferiores son idénticos y algunas de las tablas de estos niveles se guardan en memoria principal. En todos los casos, un descriptor de página ocupa 32 bits.

RESPONDER UTILIZADO EL ESQUEMA ADJUNTO A LAS SIGUIENTES PREGUNTAS:

a) Tamaño de los campos en los que se divide:

la dirección virtual	la dirección real

b) Tamaño y estructura del TLB. Señalar gráficamente como es el acceso al TLB, utilizando para ello la dirección virtual o real que corresponda.

Dirección.....		TLB

El tamaño del TLB es de

c) Campos en los que se divide la dirección virtual o real que corresponda para el acceso a las tablas de páginas. Indicar brevemente cómo se ha llegado a obtener la respuesta.

Dirección.....	

d) Tamaño de la tabla de descriptores, así como indicar el tamaño de memoria principal que se necesitaría para guardar todas las tablas de segundo y tercer nivel.

El tamaño de la tabla de descriptores es:.....

La memoria principal utilizada para guardar las tablas de 2º nivel es:

La memoria principal utilizada para guardar las tablas de 3º nivel es:

C3 (1 punto).- Un sistema maneja direcciones de 8 bits y datos de 16 bits. En la figura adjunta, se muestra una cache asociativa de dos vías, cuatro entradas por vía y dos palabras por bloque. Inicialmente, la cache esta completamente vacía. Sabiendo que se sigue una política de sustitución del tipo LRU y que se trabaja con bloques completos, indicar el estado final tras la siguiente secuencia de escrituras en memoria :

NOTA1: El byte con la dirección más baja es el menos significativo (notación "big endian").

NOTA2: Si se precisa hacer referencia al valor de un dato no determinado, suponer el valor XXXX.

Dirección: **3A**; Dato: **2E2F**
FE; **E4E4**
10; **20F0**
48; **D6E2**
F6; **35D6**
38; **567B**
D2; **4566**
FA; **DDCC**

VIA-1			VIA-2		
TAG			TAG		

C4 (1punto).- Dado el cronograma de la figura, señalar la respuesta correcta entre las facilitadas.

- a) La MLM vale 3,5 y un ciclo avaricioso puede ser {4}.
- b) La MLM vale 4 y un ciclo avaricioso puede ser {4}.
- c) La MLM vale 4 y un ciclo avaricioso puede ser {3,5}.
- d) Ninguna de las respuestas anteriores puede ser válida.

T1	T2	T3	T4	T5	T6	T7
X		X			X	
	X			X		X
			X			
						X

C5 (1 punto).- El siguiente programa se ejecuta en un procesador con las siguientes características: 1 unidad para sumar/restar que tarda 4 ciclos, 1 unidad que ejecuta en 2 ciclos las operaciones lógicas, 2 unidades para multiplicar/dividir que emplean 10 ciclos y 2 unidades para acceso a memoria que tardan 4 ciclos. El sistema permite planificación dinámica basada en el algoritmo de Tomasulo.

Instrucción	Emisión	Ejecución	Escritura
I1: ADD R1,R2, R3	1	2-5	6
I2: DIV R8, R1, R3	2		
I3: MUL R3,R4, R5			
I4: XOR R6,R3, R1			
I5: ADD R3, R9, R10			

Notación de las instrucciones : Operación destino, fuente, fuente

- a) Complete la tabla adjunta indicando los ciclos de inicio-finalización de cada etapa, como se muestra para la instrucción I1 y para el inicio de I2.
- b) Indique si es cierta o falsa las siguientes afirmación razonando brevemente la respuesta.
“Cuando la Unidad Funcional que ejecuta la instrucción I3 escribe su resultado en el bus de datos común se actualiza el registro R3.”

PROBLEMA-1 (2 puntos).- Se tiene un sistema ordenador con un procesador segmentado en 4 etapas, **Captura instrucciones (CI):** en donde se lee la instrucción a ejecutar. **Decodificación (DE):** en donde se decodifica la instrucción, se leen los operandos de los registros internos, se calcula la dirección efectiva en las instrucciones con memoria y en su caso se calcula la dirección de salto. **Ejecución (EJ):** en donde se ejecuta la operación aritmética o lógica, se ejecuta la lectura en memoria y se determina si los saltos son o no efectivos. La fase de ejecución de las instrucciones se realiza en un ciclo para todas las instrucciones excepto las de punto flotante, que necesitan 4 ciclos. En este caso la ALU queda ocupada durante los cuatro ciclos y se producen las detenciones pertinentes. **Escritura (W):** en donde se escribe el resultado en un registro interno o en su caso, se almacena el dato en memoria. Suponer que no existen riesgos de datos y que con respecto a los riesgos de control, la estrategia es detener la CPU hasta resolver el riesgo.

Estadísticamente, el porcentaje de instrucciones empleadas en un programa se indica en la tabla adjunta.

Load/Store	Salto condicionales	Aritmética con Enteros	Aritmética CF
20%	15%	45%	20%

NOTA: Para calcular las distintas mejoras, no tener en cuenta el tiempo de llenado del procesador y cuando corresponda, suponer que el 100% de los saltos son efectivos (el peor caso posible).

Se realizan dos mejoras consecutivas:

- 1) Se duplica el bus y de tener un bus común para instrucciones y datos se diseña una arquitectura tipo Harvard.
- 2) Se rediseña la unidad de coma flotante, de tal forma que se reduce a al mitad el tiempo de ejecución para estas instrucciones.

Se pide, aplicando necesariamente la ley de Amdahl definir la ganancia obtenida tras las dos mejoras.

PROBLEMA- 2 (2 puntos).- Se tienen dos sistemas de memoria cache que trabajan con tamaños de palabra de 4 bytes y cuyas características son:

SISTEMA-A: Sistema cache unificado con dos niveles. Ambas caches con estrategia de post-escritura y ante un fallo siempre operan con el bloque completo. La cache interna (nivel L1), es asociativa de 4 vías, cada bloque contiene 8 palabras y presenta una tasa de aciertos del 92%. La cache externa (nivel L2) es de correspondencia directa, con una tasa local de aciertos del 65% y también 8 palabras por bloque. Las caches L1 y L2 disponen asociado a cada bloque de uno 1 bit de modificación y los tiempos de acceso son 10 nsec para L1 y 25 nsec para L2.

La conexión entre ambos niveles cache se realiza por medio de un bus de 256 bits, mientras que la conexión con la memoria principal es de 32 bits.

SISTEMA-B: Sistema cache no unificado con un único nivel. Ambas caches son asociativas de 4 vías y presentan una tasa de aciertos del 96% la de instrucciones y 94% la de datos. Cada bloque contiene 4 palabras. La estrategia de escritura elegida para este sistema es la de escritura directa (EDAE). No necesitan bits de control. Para ambas, el tiempo de acceso es de 10 nsec y el bus de conexión con la memoria es de 32 bits.

Se desea conocer en términos de rendimiento, cual y en cuanto es el mejor sistema, para un programa genérico con un porcentaje del 20% en acceso a datos de los cuales la mitad son escrituras. Tiempo de acceso a la memoria 100 nsec. En su caso, el porcentaje a utilizar de bloques modificados es del 50%, es decir, en el sistema A se debe considerar $w_M^{L1}=0.5$ y $w_M^{L2}=0.5$.

PROBLEMA-3 (2 puntos).- Considere el siguiente fragmento de código, teniendo en cuenta que la sintaxis de los operandos es en todos los casos $R_{\text{DESTINO}}, R_{\text{FUENTE}}, R_{\text{FUENTE}}$ y suponga que no conoce en que procesador va a ser ejecutado.

	Instrucciones	Dependencias
I1	AND R4, R4, R0	
I2	JMP L1	
I3	L0: XOR R1, R1, R1	
I4	ADD R1, R1, 4	
I5	JMP L2	
I6	L1: STORE 200(R4),R4	
I7	ADD R4, R4, 4	
I8	LOAD R5, (R4)	
I9	SUB R6, R5, 4	
I10	MUL R7, R5, 3	
I11	L2: STORE (R6),R7	

a) Analice todos los riesgos de datos presentes en el código, completando la columna derecha de la tabla.

Suponga que la secuencia de código anterior se ejecuta en un sistema con arquitectura Von Neumann que segmenta la ejecución de cada una de las instrucciones en las siguientes etapas: **IF** (captura), **ID** (decodificación, captura de operandos, calculo de la dirección efectiva y detección de riesgos), **EX** (opera en la ALU y calcula la condición en saltos), **M** (acceso a memoria) y **WB** (escritura de registro).

Inicialmente el contador de programa contiene la dirección de la instrucción I1. El procesador dispone de un cauce único, emite una instrucción por ciclo con ejecución y finalización en orden y todas las instrucciones pasan por todas las etapas.

Se pide :

- Dibujar un cronograma en el que se muestre la evolución temporal de la secuencia de instrucciones en la segmentación, sin considerar ningún tipo de adelantamiento salvo que las etapas **ID** y **WB** pueden acceder en el mismo ciclo de reloj al banco de registros (la etapa **WB** accede en la primera mitad y la etapa **ID** en la segunda mitad).
- Dibujar un cronograma similar al del apartado b pero considerando que existe adelantamiento de datos entre etapas de la manera más eficiente posible.
- A la vista de los cronogramas anteriores, señalar la mejora que se produciría por disponer en el sistema de una arquitectura Harvard.