

Arquitectura y Tecnología de Ordenadores

Prueba del 20 –Noviembre –2003. E.P.S, U.A.M.

Apellidos y Nombre:			
DNI:	G1	G2	G3

C1.- (2 puntos) La siguiente descripción en VHDL modela un contador genérico:

```

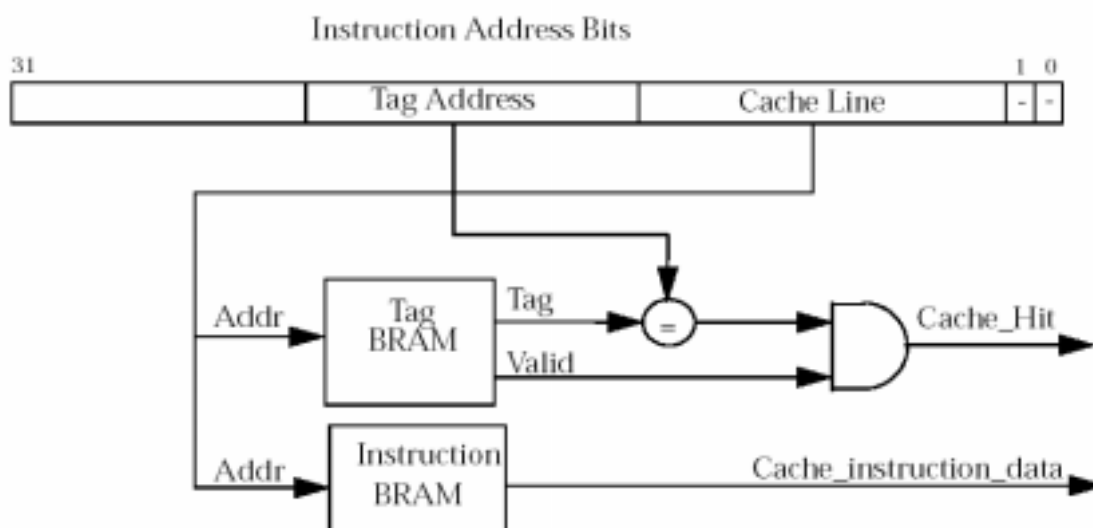
entity COUNTER is
    generic (L: INTEGER);
    port (
        CLK: in STD_LOGIC;
        RESET: in STD_LOGIC;
        Q: out STD_LOGIC_VECTOR (L-1 downto 0)
    );
end COUNTER;

architecture PRACTICA of COUNTER is
begin
    process(CLK, RESET)
        variable COUNT_INT: STD_LOGIC_VECTOR(L-1 downto 0);
    begin
        if reset='1' then
            Q <= (others => '0');
        elsif (CLK'event) and (CLK='1') then
            COUNT_INT := COUNT_INT + 1;
        end if;

        Q <= COUNT_INT;
    end process;
end PRACTICA;
    
```

Al ejecutar un *testbench* correcto sobre este diseño se comprueba que la salida nunca sale del valor desconocido (por ejemplo, para L=8, la salida es Q = “UUUUUUUU”). ¿Dónde está el fallo?

C2.- (2 puntos) Microblaze es un sencillo microprocesador de 32 bits desarrollado por Xilinx. No dispone de MMU, y su caché de instrucciones sigue este esquema:



Donde *cache line* se corresponde con el índice, *tag address* con la etiqueta, la *BRAM* a todos los efectos puede considerarse como una memoria RAM convencional, el bloque *tag BRAM* es el directorio caché y el bloque *instruction BRAM* es el bloque de datos.

El campo *cache line* puede tener desde 9 a 14 bits, mientras que para el campo *tag address* no hay limitación de tamaño (desde 1 hasta 30 menos el tamaño del campo *cache line*). La longitud de

estos campos se decide en tiempo de diseño, antes de implementar el microprocesador, y no puede ser variada dinámicamente. Se pide responder justificadamente a las siguientes respuestas:

- ¿Qué tipo de caché es (correspondencia directa, asociativa por vías o completamente asociativa)? ¿La caché es real o virtual?
- ¿Cuál es el tamaño mínimo y máximo de la caché? ¿Cuántas palabras almacena por bloque?
- ¿Cuánta memoria se necesita para implementar la caché en función de la longitud de los campos *cache line* y *tag address*?

P1(3 puntos)- En la tabla adjunta se indica el porcentaje de cada tipo de instrucciones y su duración media de un determinado sistema

TIPO	ALU-INT	ALU-CF	Load/Store	OTRAS
PORCENTAJE	45%	25%	15%	15%
CICLOS DE EJECUCION	1	6	4	2

Además todas las instrucciones necesitan 4 ciclos para el acceso a memoria correspondiente a la captura de instrucción.

Se proponen dos mejoras independientes:

- Optimizar la ALU para coma flotante y reducir a la mitad el tiempo de ejecución.
- Incorporar una cache unificada con un tiempo de acceso de 1 ciclo, mejorando así tanto el tiempo de captura de instrucciones como la ejecución de Load/Store. La caché presenta una tasa de aciertos del 95% y un penalización total por cada fallo de 10 ciclos.

Se pide, utilizando necesariamente la ley de Amdahl:

- ¿Cuál de las dos mejoras es la mas eficiente y en cuanto?.
- ¿Cuál será la mejora total si se aplican ambas al tiempo?

P2(3 puntos)- Se diseña un sistema de memoria virtual para un procesador que sólo dispone de 64 Mbytes de memoria principal (MP) utilizando paginación multinivel de 3 niveles, con un tamaño de página único de 1Kbytes. El nivel 1 (N1) se guarda en una estructura asociativa dentro de la MMU, mientras que los niveles 2 y 3 (N2 y N3) se guardan entre memoria principal y secundaria, paginándose a su vez la tabla de páginas, para evitar mantenerla al completo en memoria principal. Los descriptores de página de N1 y de N2 ocupan 4 bytes y el descriptor de N3 es de 2 bytes. Se calcula el sistema para que en caso que guarde todas las tablas de N3 en memoria principal, este nivel ocupe 8Mbytes de MP. También se fija el tamaño de tabla de N2 y de N3 para que se ajuste al tamaño de una página.

- Bajo estas condiciones indique los campos en los que se divide la DV y el tamaño de los niveles N1 y N2.
- Suponga que el sistema dispone también en su MMU de un TLB con estructura asociativa de 4 vías con 16 entradas. Indique los campos en los que se descompone la dirección que se utiliza para acceder al TLB. Calcule el tamaño del TLB.
- Se completa el sistema con una caché real asociativa de 8 Vías, con 16 bytes por bloque. Se pide calcular el tamaño mas adecuado de esta caché para conectarlo al sistema de memoria virtual descrito, razonando la respuesta. Indique los campos en los que se descompone la dirección que se utiliza para el acceso a la caché.