

E.P.S. – U.A.M. – Arquitectura e Ingeniería de Computadores
SOLUCIONES_Parcial 2004/2005

1) Escribe un módulo VHDL que extienda un bus de 8 bits a 16 bits, considerando que los datos en los buses se representan en complemento a dos. Utiliza la siguiente plantilla, de tal manera que sólo tendrás que rellenar la arquitectura y (si es necesario) añadir cláusulas adicionales de uso de paquetes.

```
library IEEE;
use IEEE.std_logic_1164.all;

entity bus_extend is port (
    narrow : in std_logic_vector(7 downto 0);
    wide  : out std_logic_vector(15 downto 0) );
end bus_extend;
```

SOLUCION 1:

```
architecture exam of bus_extend is
begin
    process(narrow)
    begin
        if narrow(7)='1' then wide <= "11111111" & narrow;
        else wide <= "00000000" & narrow;
        end if;
    end process;
end exam;
```

SOLUCION 2:

```
architecture exam of bus_extend is
begin
    wide <= (7 downto 0 => narrow(7 downto 0), others =>
        narrow(7));
end exam;
```

SOLUCION 3:

```
architecture exam of bus_extend is
begin
    wide <= sxt(narrow, 16);
end exam;
```

Estas no son las únicas soluciones posibles, existen otras alternativas.

2) En un cierto ordenador se realiza una mejora en una parte del sistema, que implica reducir en un factor 10 el tiempo de ejecución en las instrucciones afectadas. Tras la mejora, dichas instrucciones utilizarán el 50% del tiempo total del sistema. Se pide:

- Cual es la mejora que se obtiene
- Aplicando necesariamente la ley de Amdahl, calcular el valor de la fracción de tiempo mejorada (F_m) en la citada mejora

SOLUCION:

a) La mitad del tiempo después de la mejora no cambia respecto a antes, la otra mitad ha sido mejorada un factor 10, luego el tiempo antes de la mejora se puede expresar como:

$$T_{CPU}^{ANTES} = 0,5 \times T_{CPU}^{DESP} + 0,5 \times (T_{CPU}^{DESP} \times 10) = 5,5 \times T_{CPU}^{DESP}$$

$$T_{CPU}^{ANTES} / T_{CPU}^{DESP} = 5,5$$

b) Conocida la mejora global del epígrafe anterior, se puede aplicar la ley de Amdahl para encontrar la respuesta a esta pregunta:

$$A_G = 5,5, A_m = 10 \Rightarrow F_m = A_m (1 - A_G) / A_G (1 - A_m) = 0,91 \Rightarrow \text{Una frecuencia mejorada del 91\%}$$

3) Se tiene un ordenador con arquitectura Harvard, que maneja datos y direcciones de 32 bits. El sistema caché presenta las siguientes características: único nivel (sólo caché de nivel 1), sin unificar, asociativo de 4 vías, con 16 bytes por bloque, tasa de aciertos del 96% y donde corresponda, estrategia de post-escritura. Se desea conocer el tiempo de acceso medio por instrucción para este ordenador en donde el porcentaje de instrucciones que acceden a la memoria de datos es del 25%. El tiempo de acceso a caché es de 10 nsec y el de acceso a memoria 10 veces mayor. Las caches disponen en cada bloque de un único bit de control que se utiliza como bit de validez (no existe bit de modificación, por lo tanto donde sea necesario debe considerarse que el bloque ha sido siempre modificado)

SOLUCION:

*Por ser una arquitectura Harvard se trata de un sistema dual.

*Por tener un solo bit de control por bloque (BV), el tiempo de penalización supone mover todo un bloque (4 palabras de 4 bytes) al tiempo, luego la penalización es $t_B = 4 \times t_m = 4 \times 100 = 400 \text{ nsec}$.

*Por ser de PE y no tener bits de modificación, $w_M = 1$.

$$/ t_{acc} = \%A_{cc}^I \{ t_C + (1 - H) t_B \} + \%A_{cc}^D \{ t_C + (1 - H) t_B + w_M (1 - H) t_B \}$$

$$/ t_{acc} = 1 \times \{10 + (1 - 0,96) \times (400)\} + 0,25 \times \{10 + (1 - 0,96) \times (400) + 1 (1 - 0,96) \times (400)\}$$

$$/ t_{acc} = 1 \times \{26\} + 0,25 \times \{42\} = 36,5 \text{ nsec.}$$

4) La siguiente figura muestra un TLB junto a una caché (sólo aparece el directorio caché). Como se puede ver, el TLB tiene 4 entradas y la caché 16. El sistema de memoria usa paginación y tiene las siguientes características: direccionamiento virtual de 1 MB, direccionamiento real o físico de 64 KB, páginas de 256 bytes. En este momento el TLB y la caché están parcialmente llenos, y se sabe que el rango de direcciones virtuales desde 0x00000 a 0x01FFF se corresponde con el rango de direcciones reales 0x2000 a 0x3FFF.

a) ¿Qué organización tiene el TLB? ¿Y la caché? ¿Es real o virtual? Justifica tus respuestas
El TLB tiene un comparador por cada entrada, lo que indica que no hay ninguna restricción en la posición que debe ocupar una determinada página virtual (es completamente asociativo). No es asociativo por vías (esto incluye a correspondencia directa) porque no hay bits de índice.

La caché es de correspondencia directa porque sólo hay un comparador, o sea, que una dirección cualquiera sólo se puede cachear en la entrada indicada por sus bits de índice. No es completamente asociativa porque tiene bits de índice, y tampoco es asociativa por vías porque en la figura no aparecen varias vías.

La caché es real porque trabaja con direcciones reales. Según se ve en la figura, las direcciones virtuales enviadas por la CPU pasan por el TLB antes de llegar a la caché. Por lo tanto a la caché le llegan direcciones reales.

b) ¿Cuál es el tamaño de los campos PÁGINA VIRTUAL, OFFSET, MARCO, TAG, INDEX y B/B?

Si el espacio de direccionamiento virtual es de 1 MB (20 bits) y las páginas tienen 256 bytes (8 bits), el tamaño del campo PÁGINA VIRTUAL será de $20-8=12$ bits, y el del campo OFFSET de 8 bits.

Si el espacio de direccionamiento real es de 64 KB (16 bits) y el OFFSET contiene 8 bits, el campo MARCO ocupa $16-8=8$ bits.

El campo INDEX ocupa 4 bits porque la caché tiene 16 bloques. Como se ve en la figura, el campo TLB tiene 8 bits. Por lo tanto, el campo B/B será de $16-4-8=4$ bits. Por otro lado, el tamaño más adecuado (para optimizar su tiempo de acceso) de una caché real de correspondencia directa es una página. Si las páginas tienen 256 bytes, y la caché tiene 16 vías, el tamaño más adecuado para sus entradas es de 16 bytes, valor que concuerda con los 4 bits necesarios para el campo B/B calculados anteriormente.

c) Suponiendo que la CPU envía la siguiente secuencia de direcciones (en hexadecimal)

02034–020F1–A5354–007AB–007A3–02015–0203A–A53B9–A5377–02001

¿Cuáles provocarán un fallo de página? ¿Y cuáles un fallo en la caché? Escribe sobre la figura los contenidos finales del TLB y del directorio caché, tachando los actuales si tienen que ser reemplazados

02034	Acierto TLB y caché
020F1	Fallo caché
A5354	Acierto TLB y caché
007AB	Fallo de página y de caché
007A3	Acierto TLB y caché

02015	Acierto TLB y caché
0203A	Acierto TLB y caché
A53B9	Acierto TLB y caché
A5377	Fallo caché
02001	Acierto TLB y caché

