

SOLUCIONES

P1.- El siguiente código VHDL es parte de la descripción de una memoria RAM con una única dirección para lectura y escritura. La entidad está completa, pero el alumno deberá completar buena parte de la arquitectura. Se trata de una memoria RAM de 16 posiciones en cada una de las cuales se almacenarán datos de 8 bits. Respecto a las entradas y salidas, "clk" es el reloj, "reset" es el reset asíncrono activo a nivel alto, "dir" es la dirección de lectura y escritura, "dato_a_escr" es el dato que se escribe si "enable_escr" está a '1', y "dato_leido" es el dato leído. La escritura debe ser síncrona por flanco de subida. La lectura debe ser combinacional y se estará leyendo siempre.

```
-- Examen ARQ Noviembre 2007
library IEEE;
use IEEE.STD_LOGIC_1164.all;
use IEEE.STD_LOGIC_ARITH.all;
use IEEE.STD_LOGIC_UNSIGNED.all;

entity SRAM16x8 is
  port(
    clk : in STD_LOGIC;
    reset : in STD_LOGIC;
    dir : in STD_LOGIC_VECTOR(3 downto 0);
    dato_a_escr : in STD_LOGIC_VECTOR(7 downto 0);
    enable_escr : in STD_LOGIC;
    dato_leido : out STD_LOGIC_VECTOR(7 downto 0)
  );
end SRAM16x8;

architecture examen of SRAM16x8 is

  type tipo_memoria is array(15 downto 0) of STD_LOGIC_VECTOR(7 downto 0);
  signal memoria : tipo_memoria; -- Memoria SRAM
```

Se pide completar el código en los espacios reservados:

```
-- Declaraciones a completar por el alumno
```

```
-- No hace falta ninguna declaración más
```

```
begin
```

```
--Cuerpo de la arquitectura a completar por el alumno
```

```
process (clk, reset)
begin
  if reset= '1' then
    for i in 0 to 15 loop
      memoria(i) <= (others => '0');
    end loop;
  elsif clk'event and clk = '1' then
    if enable_escr = '1' then
      memoria(conv_integer(dir)) <= dato_a_escr;
    end if;
  end if;
end process;

dato_leido <= memoria(conv_integer(dir));
```

```
end examen;
```

P2.- Se pide contestar brevemente, en el espacio facilitado en cada caso, a las siguientes cuestiones:

1.- En el análisis teórico del efecto de una cierta mejora en un sistema, utilizando la conocida ley de Amdahl, se obtiene que la aceleración global del mismo vale -2. Indicar brevemente, justificando la respuesta, cuales son los posibles significados de este resultado.

Este resultado implica necesariamente un error en el cálculo, no una reducción en el rendimiento.

Utilizando la ley de Amdahl, $A_G = 1 / (1 - F_m) + F_m / A_m = -2$, es decir $(1 - F_m) + F_m / A_m < 0$.

Tanto F_m como A_m son siempre magnitudes positivas, por tanto solo puede ser posible si $(1 - F_m) < 0$. Es decir cuando el porcentaje de tiempo en el que se debe aplicar la mejora sea mayor que el 100% ($F_m > 1$), lo cual es imposible de realizar.

2.- En la tabla adjunta se indican posibles combinaciones de sucesos en un sistema de memoria virtual con caché real. Indicar si la combinación que se indica es, suponiendo un funcionamiento lógico del sistema, posible o imposible.

CACHE	TLB	TABLA PAGINAS	POSIBLE (SI/NO)	COMENTARIO
Fallo	Acierto	Acierto	SI	Aunque no se acceda la Tabla de Páginas, se puede suponer que hay un acierto, ya que esta contiene al TLB.
Acierto	Fallo	Acierto	SI	La DR se obtiene de la Tabla de Páginas y se encuentra en la caché, es poco probable pero posible.
Acierto	Acierto	Fallo	NO	Las páginas contenidas en el TLB, siempre están contenidas en la Tabla de Páginas.
Fallo	Fallo	Acierto	SI	La DR se obtiene de la Tabla de Páginas, pero el dato no se encuentra en caché.
Fallo	Fallo	Fallo	SI	Situación que ocurre en el arranque del sistema. La Tabla de Páginas que contiene la DR se encuentra en la memoria secundaria. Es preciso la intervención del SO. El dato buscado aun no se encuentra en caché.
Fallo	Acierto	Fallo	NO	Las páginas contenidas en el TLB, siempre están contenidas en la Tabla de Páginas.
Acierto	Fallo	Fallo	NO	Las DR contenidas en la caché están siempre en memoria, ya sea en el TLB o en las Tablas de Páginas.

3.- En una memoria caché ¿qué se entiende por bit de modificación o suciedad? ¿Para qué sirve? En un sistema de caché dual, ¿qué tipo de caché lo utiliza y con qué estrategia?

- Es un bit de control asociado a cada bloque que se activa cuando una o mas palabras del bloque han sido modificadas.
- En una estrategia de post-escritura se utiliza para indicar al sistema si debe o no actualizar la memoria principal en el caso de sustitución del bloque al que se asocia.
- En un sistema dual sólo la caché de datos los utiliza.

4.- Considerar una caché de correspondencia directa de tamaño 4 kBytes, y con 16 bytes por bloque. ¿En qué entrada y con qué etiqueta se guardará la dirección $7F55A356_{16}$? Justificar brevemente la respuesta.

Los campos en los que se divide la DV son

Etiqueta: 20 bits	Indice: 8 bits	Byte/bloque: 4 bits
-------------------	----------------	---------------------

ENTRADA	ETIQUETA	BLOQUES
00	X...X	xx...xx
....	X...X	xx...xx
35	7F55A	xx...xx
....	X...X	xx...xx
FF	X...X	xx...xx

P3.- Se tiene un procesador multiciclo con caché unificada de post-escritura. El tiempo de acceso a la caché es de 1 ciclo, el tiempo de acceso a memoria de 10 ciclos, la caché tiene bloques de 4 palabras y el bus de datos entre caché y memoria tiene un ancho de 2 palabras. El porcentaje de bloques modificados en la caché es del 50% y el porcentaje de acierto en caché del 95%.

En el sistema original se ha medido que el 40% del tiempo se utiliza en acceder a memoria. Con el fin de acelerar el sistema se proponen dos mejoras.

Mejora 1: doblar el tamaño de la caché, con lo que el porcentaje de acierto en caché pasa del 95 al 97% sin afectar a los demás parámetros.

Mejora 2: doblar el ancho del bus entre caché y memoria, pasando a ser de 4 palabras.

Se pide, señalar la aceleración del sistema aplicando sólo la mejora 1, sólo la 2 y aplicando ambas a la vez.

SOLUCIÓN:

Ambas mejoras suponen reducir el tiempo de acceso a memoria. Dado que el número y tipo de accesos no varía con dichas mejoras, la aceleración de la parte mejorada se puede dar como el cociente entre el tiempo de acceso medio a memoria antes y después de las mejoras.

El tiempo medio de acceso a la memoria (dado que es de post-escritura), medido en ciclos de reloj, antes de las mejoras es:

$$t_{acc} = t_c + (1-H) \cdot (1+w_M) \cdot t_B = 1 + (1-0,95) \cdot (1+0,5) \cdot 20 = 2,5 \text{ ciclos}$$

t_B es 20 ciclos porque cada bloque necesita dos accesos a memoria (4 palabras, traídas de 2 en 2), con cada acceso de 10 ciclos.

Mejora 1

Sólo varía el hit rate (H), y el nuevo tiempo de acceso medio queda:

$$t_{acc} = t_c + (1-H) \cdot (1+w_M) \cdot t_B = 1 + (1-0,97) \cdot (1+0,5) \cdot 20 = 1,9 \text{ ciclos}$$

La aceleración de la parte mejorada (accesos a memoria) es: $A_m = 2,5/1,9 = 1,3158$

La fracción mejorada es $F_m = 0,4$ (porcentaje del tiempo dedicado a acceder a la memoria).

Por tanto, la aceleración global es:

$$A_g = 1/(1-F_m + F_m/A_m) = 1/(1-0,4+0,4/1,3158) = 1,1062$$

Mejora 2

Al aumentar el ancho de bus se reduce t_B . Con esta mejora, cada bloque sólo necesita 1 acceso a memoria, por lo que $t_B=10$ ciclos. Por tanto, el nuevo tiempo de acceso medio queda:

$$t_{acc} = t_c + (1-H) \cdot (1+w_M) \cdot t_B = 1 + (1-0,95) \cdot (1+0,5) \cdot 10 = 1,75 \text{ ciclos}$$

La aceleración de la parte mejorada (accesos a memoria) es: $A_m = 2,5/1,75 = 1,4286$

La fracción mejorada es la misma, $F_m = 0,4$

Por tanto, la aceleración global es:

$$A_g = 1/(1-F_m + F_m/A_m) = 1/(1-0,4+0,4/1,4286) = 1,1364$$

Ambas mejoras

Con ambas mejoras a la vez, el nuevo tiempo de acceso medio queda:

$$t_{acc} = t_c + (1-H) \cdot (1+w_M) \cdot t_B = 1 + (1-0,97) \cdot (1+0,5) \cdot 10 = 1,45 \text{ ciclos}$$

La aceleración de la parte mejorada (accesos a memoria) es: $A_m = 2,5/1,45 = 1,7241$

La fracción mejorada es de nuevo $F_m=0,4$.

Por tanto, la aceleración global es:

$$A_g = 1/(1-F_m + F_m/A_m) = 1/(1-0,4+0,4/1,7241) = 1,2019$$

P4.- El microcontrolador “FemtoArqui” posee una arquitectura de 16 bits de tamaño de palabra. Todas las instrucciones ocupan 2 bytes y tiene 16 registros de 16 bits. Para generar las direcciones cada vez que se accede a memoria de datos suma al registro índice el contenido del registro *Data Segment* (DS) que es de 20 bits. El sistema dispone de un sistema de memoria virtual de 1 Mbytes, con una memoria real de hasta 64 Kbyte. El sistema es paginado con tamaño de página de 256 bytes y cuenta con los siguientes elementos: caché real unificada y asociativa de 2 vías, con capacidad para guardar un total de 32 bloques de 16 bytes cada uno y política de escritura EDSAE (escritura directa sin asignación en escritura). La caché utiliza una política LRU y para el problema se supondrá que es la vía 1. En la MMU se dispone de un TLB completamente asociativo con 8 entradas y una memoria de sustitución directa para el primer nivel de la tabla de páginas del sistema paginado en dos niveles. Esta memoria de sustitución directa posee 32 posiciones. Se muestran algunas de las entradas en el estado actual de la caché, el TLB, la mem de sustitución directa y parte de la memoria real. Se sabe además que los descriptores de página ocupan 16 bits guardando el marco de página en los bits de menos peso. Los bits de control (Ct) en cada entrada de la memoria caché son 8.

Se pide considerar la ejecución del siguiente trozo de código

```

                                ; DS: 10000 hexa; r2: 2066
4F20C:   load r1, r2,#200       ; R1 <= M(DS + r2 + 200hexa)
4F20E:   add r3, r1, 5          ; r3 <= r1 + 5
4F210:   store r3, r2,#400      ; M(DS + r2 + 400hexa) <= R3

```

Nota: Para facilitar la lectura, en los bloques sólo se indica a la izquierda el byte con la dirección de memoria más alta y a la derecha el de dirección de memoria más baja de los 16 bytes que contiene un bloque. Cuando los valores no son relevantes se indican con **xx**. La memoria utiliza una organización little endian (el byte de mayor peso en la dirección de mayor peso)

Cache Datos

VIA 1			VIA 2		
Etq	Ct	Datos	Etq	Ct	Datos
0	F0	xx 4C...AA	A9	xx	F0...66
1	E6	xx...xx	39	xx	xx...xx
--	---	---	---	---	---
6	F2	xx 4C...AA	2C	xx	22...FF
--	---	---	---	---	---
--	---	---	---	---	---
C	5F	xx 22...55	5F	xx	22...55
--	---	---	---	---	---
--	---	---	---	---	---
F	1E	xx D3...C4	40	xx	D3...C4

MMU

TLB		Pag L1
Etq	Descr.	
AA4	XXCC	00
4F2	XXF0	--
324	XXD5	--
55F	XX35	06
DF0	XXC7	--
124	XX5D	--
AAA	XX10	1C
122	XX2C	--
		--
		1F

MEMORIA											
DIR.	Dato	DIR.	Dato	DIR.	Dato	DIR.	Dato	DIR.	Dato	DIR.	Dato
1020	C4	2C60	FF	5D60	44	C5E0	66	F000	AA	F010	90
1021	2F	2C61	44	5D61	5C	C5E1	42	F001	FC	F011	DC
----	----	----	----	----	----	----	----	----	----	----	----
----	----	2C66	02	5D66	19	----	----	----	----	F018	12
----	----	2C67	20	5D67	70	----	----	----	----	F019	AC
----	----	----	----	----	----	----	----	----	----	----	----
102E	00	2C6E	33	5D6E	32	C5FE	D3	F00E	30	F01E	31
102F	3F	2C6F	22	5D6F	F4	C5FF	F5	F00F	4C	F01F	4F

a) Cómo se divide la dirección virtual para el acceso al TLB y a la tabla de página multinivel.

DV para acceso TLB

DV (20 bits): Nro de Página(12 bits) + Offset(8 bits)

DR (16 bits): Nro de Marco(8 bits) + Offset(8 bits)

DV para acceso a páginas:

DV (20 bits): L1(5 bits) + L2(7 bits) + Offset(8 bits)

(nivel 1 en MMU y nivel 2 en memoria principal)

- b) Cómo se divide la dirección real para el acceso a la caché.

DR para acceso a cache:

32 bloques en dos vías => 16 entradas => 4 bits de índice

DR(16 bits): Etiqueta (8) + Índice (4 bits) + Byte en Bloque(4 bits)

- c) El tamaño de la caché, del TLB y la memoria de sustitución directa, señalando en cada caso la cantidad y tamaño de comparadores necesarios.

c1) Tamaño de la caché:

2 vías x 16 entradas x (16 (datos) + 1 (etiq) + 1 (control)) bytes = 576 byte = 4608 bits

2 comparadores de 8 bits.

c2) Tamaño del TLB:

8 entradas x (12+16) bits = 224 bits = 28 bytes y 8 comparadores de 12 bits.

También es válido contestar:

8 entradas x 16 bits = 128 bits = 16 bytes RAM y 8 entradas x 12 bits CAM = 96 bits CAM

c3) Tamaño de la memoria de sustitución directa:

32 posiciones de 2 bytes = 64 bytes = 512 bits. No utiliza comparadores (es un acceso directo)

- d) Describir el estado final de la caché y la memoria, indicando en la tabla adjunta SOLO los valores que cambian.

VIA 1			VIA 2			Memoria	
Etiqu	Ct	Datos	Etiqu	Ct	Datos	DIR.	Dato
F0	xx	4F...90				5D66	07
						5D67	20

Aclaración:

Dir Virtual	TLB	Dir. Real	Caché (Et-ind-off)	Acción
4F20C	Si	F00C	F0 - 0 - C	Acierto caché (Entrada 0, Vía 1)
12266	Si	2C66	2C - 6 - 6	Acierto caché (Entrada 6, Vía 2)
4F20E	Si	F00E	F0 - 0 - E	Acierto caché (Entrada 0, Vía 1)
4F210	Si	F010	F0 - 1 - 0	Fallo caché, Trae bloque F010-F01F a pos 1 de la caché
12466	Si	5D66	5D - 6 - 6	Fallo en caché (sin actualización), Escribe en memoria 5D67 y 5D66 los valores 20 y 07 respectivamente