

#### Problema 4. Laboratorio

- a. Especifique la forma de asignar los pines en un circuito en el flujo de diseño ISE.
- b. Una vez terminada la etapa de diseño, si se desea llevar el circuito implementado a una placa de desarrollo. Enumere sintéticamente los pasos necesarios en la herramienta ISE.
- c. A continuación se muestra un *post-map report*, de un cierto diseño. Si quisiese replicar este diseño en la FPGA y suponiendo que esto no genera problema alguna con el rutado. ¿Cuántos diseños completos podría emplazar? Justifique sucintamente su respuesta.

#### Design Summary

```
-----
Number of errors:      0
Number of warnings:    24
Logic Utilization:
  Number of Slice Flip Flops:      88 out of 1,536    5%
  Number of 4 input LUTs:          133 out of 1,536    8%
Logic Distribution:
  Number of occupied Slices:                105 out of 768    13%
  Number of Slices containing only related logic:  105 out of 105    100%
  Number of Slices containing unrelated logic:      0 out of 105    0%
    *See NOTES below for an explanation of the effects of unrelated logic
Total Number 4 input LUTs:      182 out of 1,536    11%
  Number used as logic:                133
  Number used as a route-thru:          25
  Number used for Dual Port RAMs:        16
  (Two LUTs used per Dual Port RAM)
  Number used as 16x1 RAMs:              8
  Number of bonded IOBs:              27 out of 166    16%
```